

DEVICE AND METHOD FOR IMAGE PROCESSING

Patent Number: JP9186853
Publication date: 1997-07-15
Inventor(s): SUZUKI TAKASHI;; ARIMOTO SHINOBU
Applicant(s): CANON INC
Requested Patent: ☐ JP9186853
Application Number: JP19960000459 19960108
Priority Number(s):
IPC Classification: H04N1/387; B41J2/485
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To generate the skew-field image of high quality by inputting image signals, line by line, controlling a write start address when the inputted image signals are stored, and performing a skew-field process for an image.

SOLUTION: A synchronizing signal generation part 110 generates a specific synchronizing signal on the basis of a basic clock VCLK; and LSYNC is a synchronizing signal which indicates the start of one line (horizontal scan) and RVE and WVE are horizontal scan synchronizing signals and used to control a power variation part 109. Here, the power variation part 109 consists of a RAQ-R/W part and a control signal generation part. Then power variation in the horizontal scanning direction is performed by controlling the writing of image data to a memory for power variation and the reading from the memory. At this time, a control part 111 changes the write start address, line by line, according to a movement quantity and a power variation rate. Consequently, the skew-field image of high image quality can be generated.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-186853

(43) 公開日 平成9年(1997)7月15日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	1/387		H 0 4 N	1/387
B 4 1 J	2/485		B 4 1 J	3/12
				G

審査請求 未請求 請求項の数6 O L (全 9 頁)

(21) 出願番号 特願平8-459

(22) 出願日 平成8年(1996)1月8日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 鈴木 隆史

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 有本 忍

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

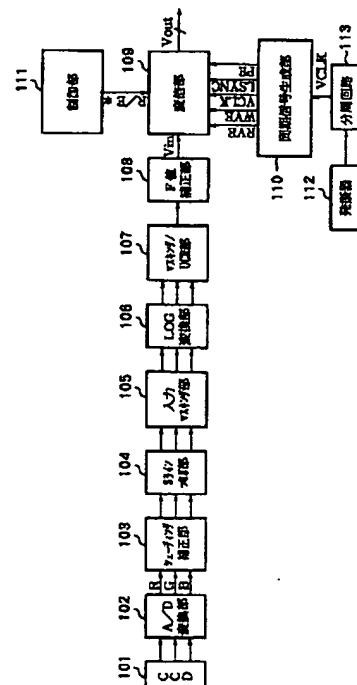
(74) 代理人 弁理士 大塚 康徳 (外1名)

(54) 【発明の名称】 画像処理装置及びその方法

(57) 【要約】

【課題】 画像品位の高い斜体画像を生成できない。

【解決手段】 ライン毎に入力された画像信号に対して
変倍部109にて画像の斜体処理を行う際に、制御部1
11が画像信号をメモリに記憶する、その書込み開始ア
ドレスをライン毎に斜体角度(画像の傾き量)とその変
倍率に応じて変化させるように制御する。



【特許請求の範囲】

【請求項1】 画像信号をライン毎に入力する入力手段と、
前記入力手段により入力された画像信号を記憶する記憶手段と、

前記記憶手段に画像信号を記憶する際に、書き込み開始アドレスを制御する制御手段とを有し、

画像の斜体処理を行うことを特徴とする画像処理装置。

【請求項2】 前記制御手段は、書き込み開始アドレスをライン毎に移動量と変倍率に応じて変化させることを特徴とする請求項1記載の画像処理装置。

【請求項3】 前記画像の移動量は、画像の傾き量であることを特徴とする請求項2記載の画像処理装置。

【請求項4】 画像信号をライン毎に入力し、

入力された画像信号を記憶し、

前記画像信号を記憶する際に、書き込み開始アドレスを制御する、

各工程を有し、

画像の斜体処理を行うことを特徴とする画像処理方法。

【請求項5】 前記制御工程は、書き込み開始アドレスをライン毎に移動量と変倍率に応じて変化させることを特徴とする請求項4記載の画像処理方法。

【請求項6】 前記画像の移動量は、画像の傾き量であることを特徴とする請求項5記載の画像処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像信号に対して画像の斜体処理を行う画像処理装置及びその方法に関するものである。

【0002】

【従来の技術】従来より提案されている斜体処理の技術では、ライン毎に入力される画像信号を記憶するメモリからの読み出し開始タイミングをCPUでライン毎に制御することで、所望の斜体出力を得ている。

【0003】

【発明が解決しようとする課題】しかしながら、上記従来例では、画像の1ラインの時間間隔が短い高速な複写機では、CPUで1ライン毎に読み出し開始タイミングを変えることはできず、2ライン毎、或いは3ライン毎にしか変えられないため、画像にぎざつきが発生していた。

【0004】本発明は、上記課題を解決するために成されたもので、画像品位の高い斜体画像を生成できる画像処理装置及びその方法を提供することを目的とする。

【0005】

【課題を解決するための手段】上記目的を達成するために、本発明の画像処理方法は、画像信号をライン毎に入力し、入力された画像信号を記憶し、前記画像信号を記憶する際に、書き込み開始アドレスを制御する、各工程を有し、画像の斜体処理を行うことを特徴とする。

【0006】また、上記目的を達成するために、本発明の画像処理装置は、画像信号をライン毎に入力する入力手段と、前記入力手段により入力された画像信号を記憶する記憶手段と、前記記憶手段に画像信号を記憶する際に、書き込み開始アドレスを制御する制御手段とを有し、画像の斜体処理を行うことを特徴とする。

【0007】

【発明の実施の形態】以下、図面を参照しながら本発明に係る実施の形態を詳細に説明する。

【0008】〈画像処理部の構成〉図1は、デジタル・フルカラー複写機の画像処理部の構成を示すブロック図である。図において、3ラインCCD101は原稿からの反射光を色分解して電気信号に変換する。A/D変換部102はCCD101からのアナログRGB信号をデジタル信号に変換する。

【0009】シェーディング補正部103はCCD101の各画素の感度を補正し、光源の光量の傾きを補正する。また、R（レッド）、G（グリーン）、B（ブルー）の信号はA/D変換部102から出力された8ビットのデジタル画像信号である。ここで、CCD101はRGB用のそれぞれ3つのCCDラインセンサがある一定距離をもって配置されている。このため、上述のデジタル画像信号は、この空間的ズレによって発生した時間的なズレを持った信号となっている。そこで、3ラインつなぎ部104において、この時間的ズレが補正される。

【0010】入力マスキング部105はCCD101からのRGBの分光特性を標準RGB空間に補正するための演算を行う。

【0011】LOG変換部106はRAMによって構成されたルックアップテーブルであり、R（レッド）、G（グリーン）、B（ブルー）の輝度信号がC（シアン）、M（マゼンタ）、Y（イエロー）の濃度信号にそれぞれ変換される。

【0012】マスキング/UCR部107は入力されたC（シアン）、M（マゼンタ）、Y（イエロー）の濃度信号からプリント記録用に使われるトナーの色にゴリを除去する演算を行うと共に、Bk（ブラック）信号を生成する。

【0013】F値補正部108は記録する濃度の指定に合わせて濃度値（F値）を各色毎に補正するための補正テーブルである。変倍部109は画像の大きさを変える変倍回路である。

【0014】同期信号生成部110は後述する基本クロックVCLKに基づいて図2に示す同期信号を生成する。図2において、LSYNCは1ライン（主走査）の始めを表す同期信号である。RVEとWVEは主走査同期信号であり、変倍部109を制御するためのものである。PEは画像の1ページ（副走査）の有効区間を表す信号である。L-INT及びP-INT信号については

更に後述する。

【0015】制御部111は図3に示すように、本装置の制御を司るマイクロコンピュータ（以下CPU）301、CPU301を動作させるプログラムを格納したROM302、各種プログラムを実行する際に作業領域（ワークエリア）として用いるRAM303、及びCPU301に接続される入出力ポート（以下I/Oポート）304により構成されている。また、R/E*信号はI/Oポート304から出力される信号である。

【0016】発振器112から出力されたクロックは分周回路113で分周され、同期信号生成部110に基本クロックVCLKとして出力される。

【0017】（変倍部の構成）次に、デジタル・フルカラー複写機において、主走査方向の変倍は画像データの変倍用メモリへの書き込みと、メモリからの読み出しを制御することによって行われる。つまり、メモリから同じ画像データが続けて読み出せば拡大したことになる、メモリへ書き込む画像データを間引いて書き込めば縮小したことになる。尚、本実施形態では、この変倍回路に所定の回路を付加して斜体画像の形成も行える構成となっている。

【0018】図4は、本実施形態における変倍部の構成を示すブロック図である。これは、図1の変倍部109に相当する部分である。図4に示すようにRAM-R/W部401、制御信号生成部A402、制御信号生成部B403、及び制御信号生成部C404により構成されている。以下、本実施の形態における変倍部の各部の構成を順に説明する。

【0019】（RAM-R/W部）まず、RAM-R/W部401について図5を用いて説明する。図5において、SRAM512とSRAM513の2つのSRAMに対して、交互に書き込みと読み出しを行う。BOE*が1でAOE*が0の時にはSRAM512から画像データが読み出され、SRAM513には画像データが書き込まれている。反対にAOE*が1でBOE*が0の時にはSRAM513から画像データが読み出され、SRAM512には画像データが書き込まれている。BOE*、AOE*の各信号は図8に示す制御信号生成部C404のJKフリップフロップ808で生成され、1ライン毎の同期信号LSYNCと図9に示す関係を有する。つまり、SRAM512、513の読み出しと書き込みを1ライン毎に交互に行う。

【0020】また、JKフリップフロップ808のリセット端子に入力されているCPU-RESET*信号は電源投入時CPU301をリセットするために一旦0になる信号である。JKフリップフロップ808のリセット端子に0が入力されると、BOE*は1に、AOE*は0になる。

【0021】SRAM512、513のWE*端子にはそれぞれAOE*、BOE*信号とWCK信号をゲート

519、520で論理演算したものが入力されている。これは、SRAMへの画像データの書き込みを制御するためのものである。WCKは図6に示す制御信号生成部A402で生成される。

【0022】SRAM512、513を読み書きする際のアドレスは13ビットのカウンタ508、509で生成される。カウンタ508は書き込み時のアドレスを生成するアップカウンタであり、カウンタ509は読み出し時のアドレスを生成するためのアップカウンタである。カウンタ508、509を動かすクロックはそれぞれWCKとRCKであり、図6の制御信号生成部A402で生成される。

【0023】カウンタ509のロード値は、LD端子に入力されたRVE*信号が1の時に、レジスタ521に設定した値がカウンタ509にロード値として設定される。またカウンタ508のロード値は、LD端子に入力されたWVE*信号が1の時に、ラッチ507の出力値が設定される。ラッチ507に入力される値は、最初のライン時にはレジスタ505に設定されている値であり、それ以外では加算器504の出力値である。その切り替えはセクタ506によって行われ、そのセクタ506を制御する信号は図8に示す制御信号生成部C404で生成されるP-INT信号である。

【0024】また、加算器504はラッチ507の出力値とセクタ503の出力値を加算する。セクタ503の入力はレジスタ501、502に設定された値であり、そのセクタ503を制御する信号は制御信号生成部B403で生成されたWCAE信号である。これによってカウンタ508にロードされる値が順次増加し、1ライン毎のSRAM512、513への書き込み開始アドレスが増加していき、斜体画像となる。

【0025】そして、斜体の角度はレジスタ501、502に入れる値の大きさで決まる。レジスタ501、502に入れた値が小さければ斜体の角度は小さく、レジスタ501、502に入れた値が大きければ斜体の角度も大きくなる。

【0026】次に、セクタ508、509は、SRAM512、513がそれぞれ書き込み動作時には、アドレスとしてカウンタ508の出力が入力され、読みだし動作時にはアドレスとしてカウンタ509の出力が入力されるように、AOE*信号とBOE*信号に従ってアドレスを切り換えるためのセクタである。

【0027】514はトライ・ステイト・バッファであり、BOE*が1の時に出力がハイ・インピーダンスになる。これは、SRAM512の出力とVin信号がぶつからないようにするためのものである。同様に、517もトライ・ステイト・バッファであり、AOE*が1の時に出力がハイ・インピーダンスになる。これは、SRAM513の出力とVin信号がぶつからないようにするためのものである。

【0028】また、518はセクタであり、AOE*信号の制御に従ってSRAM512、513の出力のどちらかを選択してVout 信号として出力する。

【0029】(制御信号生成部A) 次に、制御信号生成部A402について図6を用いて説明する。図6において、603は4ビットのダウンカウンタであり、そのロード値はレジスタ601に設定された値がLD端子に1が入力された時に設定される。CLR端子には図8に示す制御信号生成部C404で生成されたL-INT信号が入力されている。L-INT信号は、図2に示すように1ライン中のWVE信号の先頭1クロック分1になる信号である。即ち、L-INT信号が1の時にカウンタ603のカウント値は初期化され、CO端子からの出力は1になり、ロード値が設定される。カウンタ603はE端子に1が入力されている間に動作し、0が入力されている間は止まっている。そして、カウンタ603の値が0になるとCO端子から1が出力される。CO端子はLD端子と接続されており、つまり、カウンタの値が0になると、LD値がカウンタにロードされる。カウンタのE端子はゲート607の出力が入力され、R/E*信号が0の時にはE端子には常に1が入力される。R/E*信号は図3に示すI/Oポート304から出力された信号であり、縮小と変倍時には1になり、拡大時には0になる。

【0030】ここで、拡大時にはレジスタ601に0が設定され、カウンタの値は常に0になるのでCO端子からは常に1が出力される。そして、R/E*信号は0なのでゲート607の出力は1になり、よって、ゲート606の入力は両方1になり、ゲート606の出力は0になる。ゲート606の出力が0ならばゲート610の出力も0になるのでWCKとVCLKは等しくなる。つまり、拡大時にはライトアドレス用のカウンタ508へのクロックが間引かれることはない。

【0031】また、縮小/等倍時にはゲート606の2つの入力のうちどちらかに0が入力されるとVCLKが間引かれ、間引かれたVCLKがWCKとしてカウンタ608に入力される。ゲート606の入力の1つはカウンタ603のCO端子の出力であり、カウンタ603のロード値であるレジスタ601の値によって間引かれ方が変化する。つまり、変倍率によってレジスタ601値を変化させ、その関係は縮小/等倍時には図10に示すようになる。これは変倍率(M%)とレジスタ601の値とは以下の関係になっていることを意味する。また、拡大時にはレジスタ601の値は0を設定する。

【0032】レジスタ601の値=整数部 $\{1/(M/100)\}-1$

ゲート606の他方の入力はゲート607の出力である。ゲート607に入力されているR/E*信号が0の時には加算器604の出力の反転がゲート607の出力のものとなる。つまり、加算器604のCO端子から

1が出力された時にVCLKが間引かれ、間引かれたVCLKがWCKとしてカウンタ608に入力される。

【0033】13ビットの加算器604はレジスタ602に設定された値とラッチ613の出力を加算する。ラッチ613の出力値は1ライン中のWVE信号の先頭1クロック分0になる信号L-INT*によって制御されたセクタ609の出力である。つまり、WVEの先頭1クロック分は、レジスタ608に設定された値が413から出力され、それ以後は1クロック前の413の出力値とレジスタ602の値が加算器604で加算される。そして、加算器の値が8191を越えると、CO端子から1が出力される。

【0034】レジスタ602に設定される値と変倍率(M%)とは以下の関係になる。

【0035】レジスタ602の値=小数部 $\{1/(M/100)\} \times 8192$

RCKは、縮小/等倍時にはゲート615の1つの入力であるR/E*信号が1なので、ゲート615の出力は0になり、結局、RCKはVCLKそのものとなる。拡大時には、ゲート614の2つの入力のうち、どちらかに0が入力された時のみ、RCKはVCLKと同じになる。ゲート614の1つの入力はセクタ605の出力であり、これは拡大時にはRVE信号になり、縮小/等倍時にはWVE信号となる。ゲート614の他方の入力は、加算器604のCO出力をインバータ612で反転したものであり、つまり加算器604のCO出力が1の時にRCKがVCLKと同じになる。RCKは図5のカウント509に入力され、RCK信号の立ち上がりエッジでカウンタが増え、つまりRAMからの読み出しアドレスが増加する。

【0036】(制御信号生成部B) 次に、制御信号生成部B403について図7を用いて説明する。この制御信号生成部B403はWCAE信号を生成する。WCAE信号は図5におけるRAMの書き込みアドレスのライン毎の初期値を変えるために、加算器504の加算値をセクタ503で切り替えるための制御信号である。

【0037】例えば、複写倍率50%で30度の斜体画像を形成する場合を図11を用いて考える。この場合、1ライン毎にある決った値、オフセット(OFS)ずつ画像をずらしていくことが必要であり、その値は以下の式で算出できる。

【0038】

$OFS = \tan \theta (\text{度}) \times 100 / \text{複写倍率} (\%)$

50%、30度の場合には

$OFS = \tan 30 (\text{度}) \times 100 / 50 (\%)$

≈ 1.1547

となり、1ライン毎に1.1547画素ずつ画像をずらしていけばよいことになる。つまり、上述の場合、RAMの書き込みアドレスを1.1547ずつ加算していけば良い。

【0039】次式のようにOFSの整数部分の加算値が図5のレジスタ501に設定され、レジスタ502にはレジスタ501より1多い値が設定される。但し、斜体角度が負の場合にはレジスタ501には補数を設定し、レジスタ502にはレジスタ501より1少ない値を設定する。

【0040】レジスタ501＝整数部（OFS）
OFSの小数部分の加算は、図7の加算器702で行う。加算器702は13ビットの加算器なので、加算値となるレジスタ701の値はOFSの小数部分の8192倍を設定する。つまり、レジスタ701の値は次式の通りとなる。

【0041】
レジスタ701＝小数部（OFS）×8192
このレジスタ701の値も斜体の角度が負の時には上式の値の補数を設定する。この場合には、加算器702の端子の極性をゲート707で反転させるために1ビットのレジスタ706に1を設定し、CO端子の出力の反転がWCAE信号になるようにする。逆に、斜体角度が正の場合にはレジスタ706には0を設定しておく。

【0042】レジスタ703は加算値の初期値であり、通常は0を設定しておく。制御信号P-INTによってセレクト704の出力は最初のラインの時のみレジスタ703の値が選択され、それ以後は1ライン前の加算器702の出力とレジスタ702の値が加算される。

【0043】P-INT信号は図2に示すようにページの最初の1ラインだけ1になる信号であり、図4に示す制御信号生成部C404で生成される。

【0044】（制御信号生成部C）次に、制御信号生成部C404について図8を用いて説明する。制御信号生成部Cは既に述べたL-INT、L-INT*、P-INT、AOE*、BOE*の各信号を生成する。図8において、801、802はVCLKに同期して動作するフリップ・フロップであり、WVE信号をVCLKで同期をとった信号の反転信号と、その信号を1クロック遅らせたものをゲート803でアンドしたものであり、図2に示すように1ライン毎に1クロック分だけ1になる信号である。また、L-INT*信号はL-INT信号をインバータ804で反転したものである。

【0045】805、806はVCLKに同期して動作するリセット端子付きのフリップ・フロップであり、副走査の画像の有効区間を示す同期信号PEを、主走査の同期信号LSYNCで同期をとった信号と、その信号を更に1ラインおくらせたものをゲート607でアンドしたものであり、図2に示すように1ページ毎に1ライン分だけ1になる信号である。

【0046】808はJKフリップ・フロップであり、LSYNC信号の立ち上がりエッジが入力される毎に出力の極性がトグルで変化する。その結果、図9に示すように1ライン毎に1と0が変わる信号となり、AOE*

とBOE*は互いに逆の極性になっている。

【0047】尚、本発明は『ホストコンピュータ、インタフェース、プリンタ等の』複数の機器から構成されるシステムに適用しても、『複写機等の』1つの機器からなる装置に適用しても良い。また、本発明はシステム或いは装置にプログラムを供給することによって実施される場合にも適用できることは言うまでもない。この場合、本発明に係るプログラムを格納した記憶媒体が本発明を構成することになる。そして、該記憶媒体からそのプログラムをシステム或いは装置に読み出すことによって、そのシステム或いは装置が、予め定められた仕方で動作する。

【0048】

【発明の効果】以上説明したように本発明によれば、画像品位の高い斜体画像を生成することが可能となる。

【0049】

【図面の簡単な説明】

【図1】実施の形態における画像処理装置の構成を示すブロック図である。

【図2】図1に示す同期信号生成部における信号のタイミングチャートである。

【図3】図1に示す制御部の構成を示すブロック図である。

【図4】図1に示す変倍部の構成を示すブロック図である。

【図5】図4に示すRAM-R/W部の構成を示すブロック図である。

【図6】図4に示す制御信号生成部Aの構成を示すブロック図である。

【図7】図4に示す制御信号生成部Bの構成を示すブロック図である。

【図8】図4に示す制御信号生成部Cの構成を示すブロック図である。

【図9】AOE*信号、BOE*信号を説明するための図である。

【図10】変倍率とレジスタ601の設定値との対応を示す図である。

【図11】斜体角度と変倍率による斜体画像を説明するための図である。

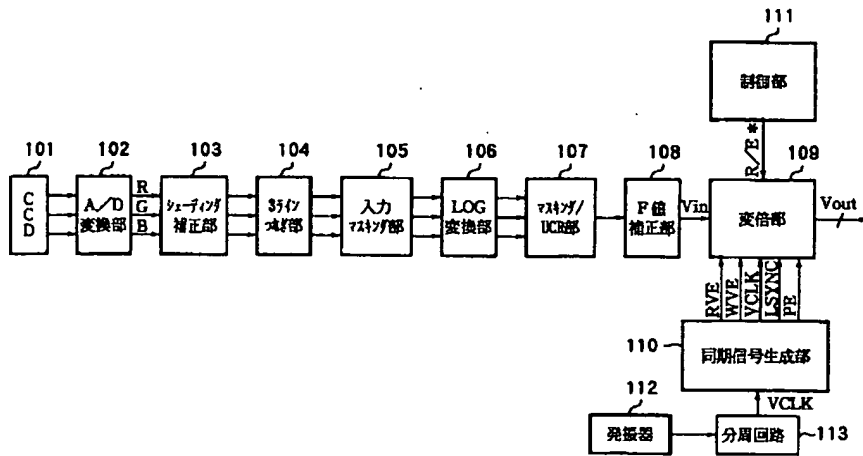
【符号の説明】

- 101 3ラインCCD
- 102 A/D変換部
- 103 シューディング補正部
- 104 3ラインつなぎ部
- 105 入力マスキング部
- 106 LOG変換部
- 107 マスキング/UCR部
- 108 F値補正部
- 109 変倍部
- 110 同期信号生成部

111 制御部
112 発振器

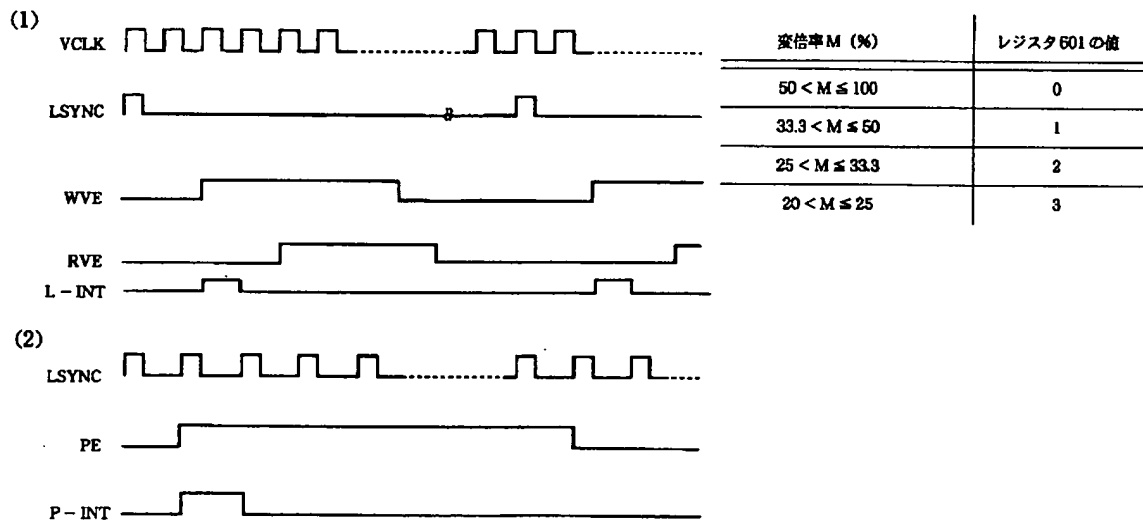
113 分周回路

【図1】

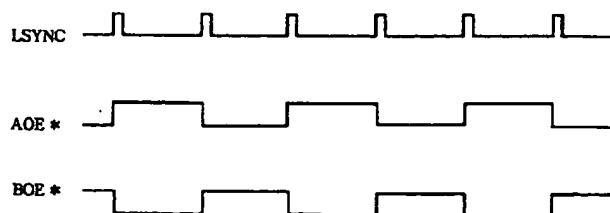


【図2】

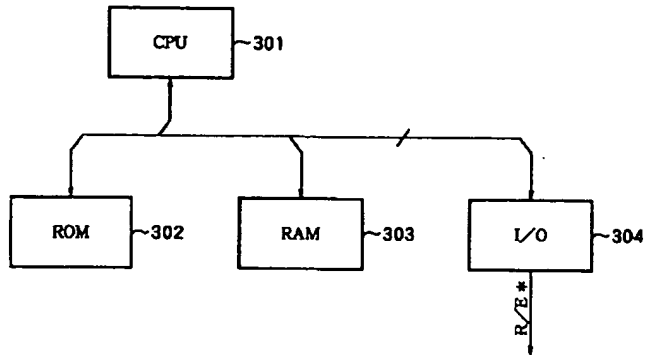
【図10】



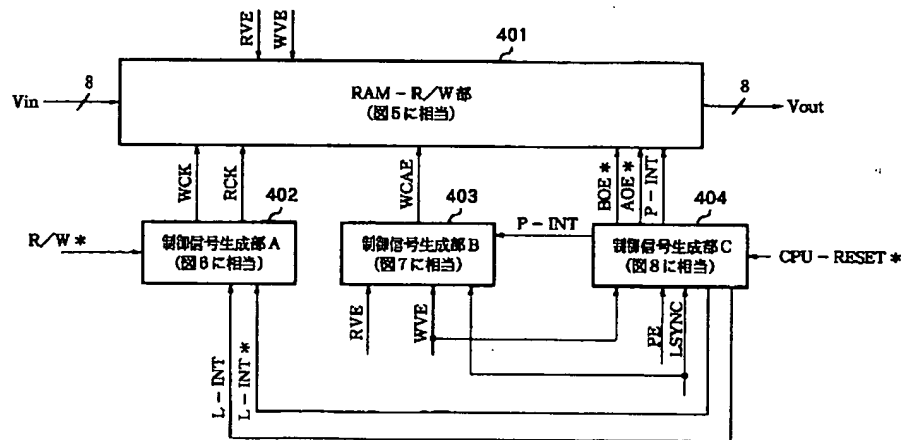
【図9】



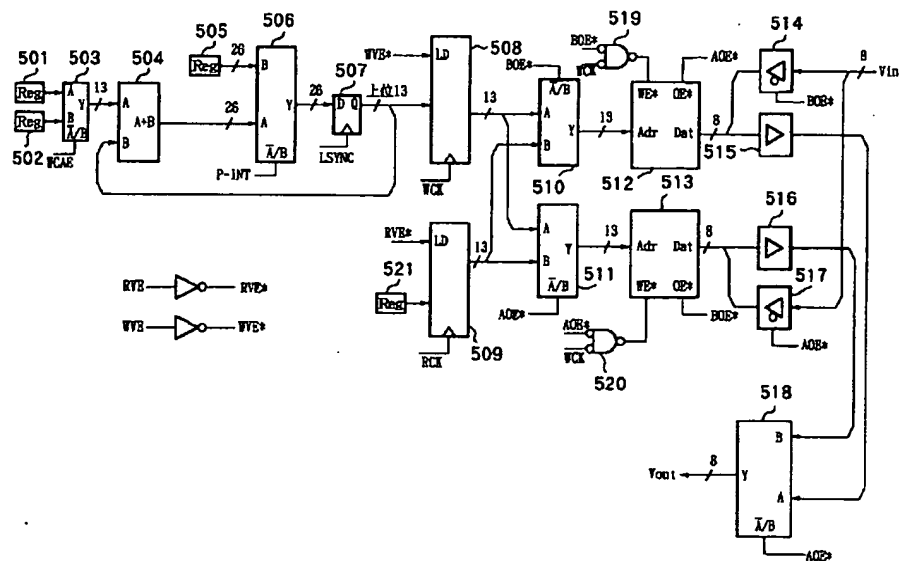
【図3】



【図4】



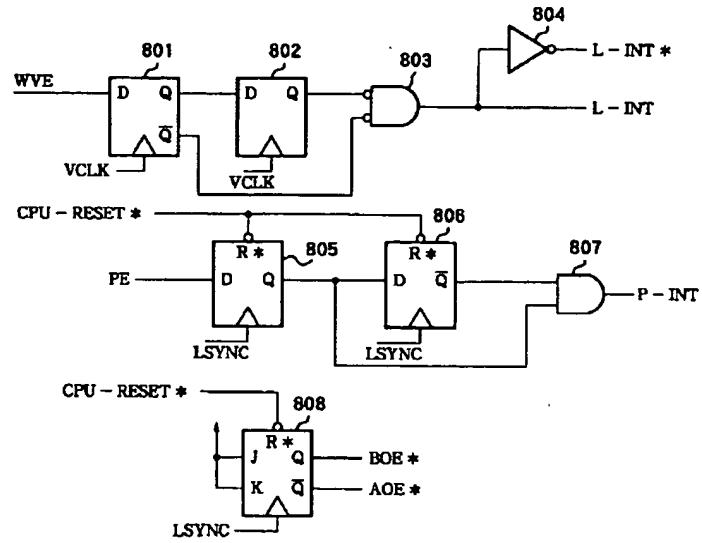
【図5】



The diagram shows a digital circuit 100. It consists of several components: a register 601, a counter 603, a register 602, a counter 604, a register 608, a counter 609, a register 613, and a counter 614. The circuit is controlled by signals R/E*, L-INT, and VCLK. The output is RCK. The circuit includes several logic gates (AND, OR, NOT) and a multiplexer 605. The circuit is designed to generate a sequence of RCK signals based on the inputs and the internal state of the registers and counters.

[illegible]

【図8】



【図11】

